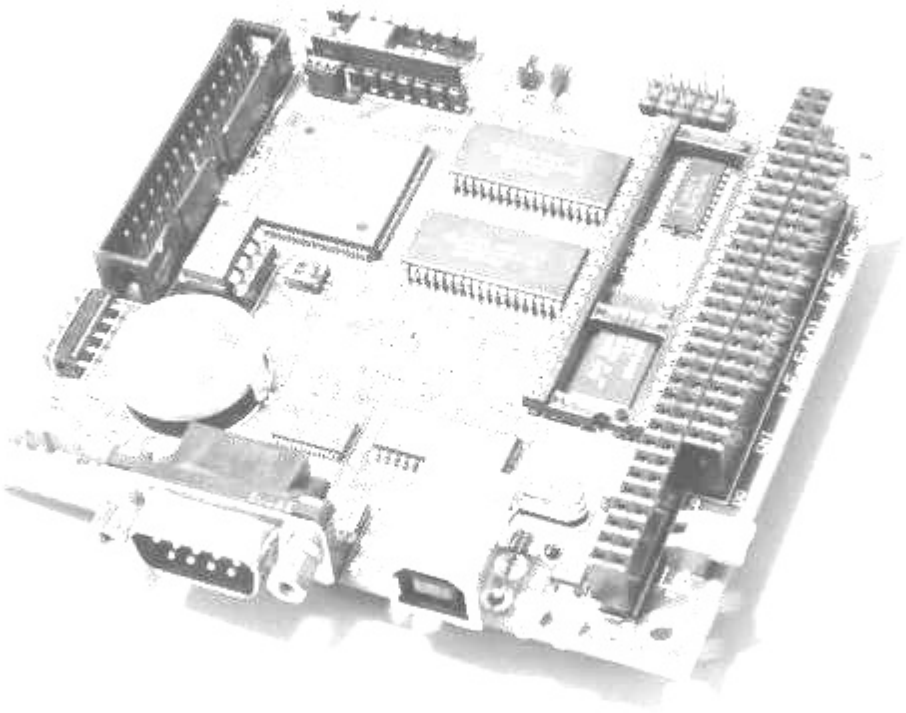
SH2/7045 PC/104-16bit BUS CPU BOARD
LF54F
取扱説明書



２０１４年１月２０日

■はじめに

このたびは LF54F をお買い上げいただき誠にありがとうございます。
本製品を正しくご使用いただくために、本マニュアル、及び、LF54F に実装されているデバイスのマニュアルを充分お読みいただけますようお願い致します。

■梱包内容

基本梱包は下記の通りとなりますので、内容をご確認いただき、万が一不足しておりました場合は、お買い求め販売店、または、弊社サポートまでご連絡下さい。

- LF54F ボード×1 枚
- マニュアル／サンプルソフトＣＤＲ×1 枚
- 金属スペーサ×4 個
- CN9 ソケットコネクタ(IL-G-2P-S3T2-SA)×1 個＋コンタクト（IL-G-C2-SC）×2 個

■注意事項

- 本製品及び本書の内容については、改良のために予告なく変更することがあります。
- 本製品に添付されるデバイスマニュアル等は、最新でない場合があります。
- 本製品を使用した結果の他への影響については、責任は負いかねますのでご了承下さい。
- 本製品、または、本製品を使用した機器を海外に持ち出される場合は、輸出許可が必要です。
- 本書に記載されている内容、及び、回路図、HDL コードの著作権は㈱エル・アンド・エフが保有しており、それらを無断で転用、転載、掲載、譲渡、配布することは禁止します。
- 本文書に記載した内容は、慎重に製作致しましたが、万一、本マニュアルの記述誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。

★ 本製品には一般電子機器用（ＯＡ機器・通信機器・計測機器・工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないで下さい。
また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い致します。

★ 温度環境は、本マニュアル３．仕様の項に記載された範囲以内でご使用下さい。

★ 腐食性ガス、可燃ガスの雰囲気中、または、高湿度環境、水に濡れる恐れのある場所でのご使用はお止め下さい。

★ 基板を金属板等導電性物質の上に直接置いた状態での通電はお止め下さい。

★ 電源、および、信号入出力部に定格以上の電圧、または、ノイズを印加しないで下さい。

- **本製品は、本マニュアルに記載されている「製品保証」、「免責事項」をご確認いただいたき、その内容をご諒承の上ご使用下さい。**

■製品保証

- 無償修理
  製品ご購入後 1 年間は、下記「有償修理」の場合を除き無償で修理致します。（弊社に製品をご返送いただいての修理・交換対応となります。（無償修理を除き、弊社にご送付いただく送料はお客様負担とさせていただきます））
  また、保証は製品が日本国内で使用される場合に限り有効とさせていただきます。
- 有償修理
  １）製品が購入後 1 年以上経過しているもの。
  ２）仕様範囲外でのご使用、物理的／電気的ストレスを加えた等、お客様のお取扱いに起因する故障。
  ３）お客様にて製品を改造（CPLD の内容変更も含む）したための故障。
  ４）火災、地震、水害等の天災による故障。
- 動作を保証できない項目
  １）他社製品との接続互換性、相性による不具合。
  ２）本製品を仕様範囲外の環境でご使用された場合の不具合。
  ３）お客様にて製品を改造（CPLD の内容変更も含む）したための不具合。
- 免責事項
  当製品の故障、不具合、誤動作によって生じた損害等の純粋経済損失につきまして、弊社は一切その責任を負いません。

■参考ＵＲＬ

- ㈱ルネサスエレクトロニクス　http://japan.renesas.com/
- 日本テキサス・インスツルメンツ㈱　http://www.tij.co.jp/tihome/jp/docs/homepage.tsp
- エプソントヨコム㈱　http://www5.epsondevice.com/ja/quartz/index.html
- 日本アルテラ㈱　http://www.altera.co.jp/
- PC/104 Specification　http://www.controlled.com/pc104/consp5.html

■凡例

- 不定数値の表記は、x で表します。
- 数字の表記
  2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx で表します。
- 記号の表記
  ローアクティブの信号には先頭に n を付けています。
- 入出力方向は LF54F 側から見た方向を示します。
- 入出力記号はＩ＝入力、Ｏ＝出力、I/O＝入出力、P＝電源を示します。
- デバイスロケーション番号後の（xx）は、端子番号を示します。

【 目 次 】

１．概要 １
２．特徴 １
３．一般仕様 ２
４．ブロック図 ３
５．各部の仕様 ４
５－１）ＣＰＵ ４
５－２）ＣＰＬＤ ４
５－３）ＳＲＡＭ ４
５－４）ＦＬＡＳＨ　ＭＥＭＯＲＹ ４
５－５）ＥＰＲＯＭ（オプション） ４
５－６）ＲＳ２３２Ｃドライバ（ＳＣＩ０側） ４
５－７）ＲＳ２３２Ｃドライバ（ＳＣＩ１側） ４
５－８）ＵＳＢドライバ ５
５－９）ＲＴＣ ５
５－１０）バッテリー ５
５－１１）ＯＳＣ ５
６．アドレスマップ ６
６－１）メモリマップ ６
６－２）ＣＰＵ内部Ｉ／Ｏマップ １０
６－３）外部割込み接続 １２
６－４）外部ＤＭＡ接続 １２
７．接続仕様 １３
７－１）シリアル通信インターフェース １３
７－２）ＲＴＣインターフェース １４
７－３）ＣＰＵモード設定・クロック入力部 １５
７－４）外部バッテリー入力部 １６
７－５）Ｉ／Ｏ接続コネクタ部 １６
７－６）ＰＣ／１０４　ＢＵＳインターフェース １７
８．コネクタ １８
８－１）ＵＳＢ接続コネクタ（ＣＮ１） １８
８－２）外部バッテリー接続コネクタ（ＣＮ２） １８
８－３）ＲＳ２３２Ｃ接続コネクタ１（ＣＮ３） １９
８－４）ＲＳ２３２Ｃ接続コネクタ２（ＣＮ４） １９
８－５）ＲＳ２３２Ｃ接続コネクタ３（ＣＮ５） １９
８－６）ＰＣ／１０４　ＢＵＳ接続コネクタ１（ＣＮ６） ２０
８－７）ＰＣ／１０４　ＢＵＳ接続コネクタ２（ＣＮ７） ２１
８－８）ＣＰＬＤ用ＪＴＡＧ接続コネクタ（ＣＮ８） ２２
８－９）電源接続コネクタ（ＣＮ９） ２２
８－１０）Ｉ／Ｏ接続コネクタ（ＣＮ１０） ２３
８－１１）アナログ／ＴＴＬ信号入力ソケット（ＳＯＫ１） ２４
９．スイッチ／ジャンパの設定 ２５
９－１）Ｓ１ ..... ２５
９－２）Ｓ２ ..... ２６
９－３）ＪＰ１ ..... ２７
９－４）Ｊ１、Ｊ２ ..... ２７
９－５）Ｊ３、Ｊ４ ..... ２７
１０．ＣＰＵに対するプログラム書込 ２８
１１．基板外形 ２９
１２．使用時の留意点 ３０
１２－１）ＥＰＲＯＭ使用時の注意事項 ３０
１２－２）ＲＳ２３２Ｃドライバ使用時の注意事項 ３０
１２－３）ＣＰＬＤについて ３０
１２－４）ＰＣ／１０４　ＢＵＳへのアクセス ３０

【表】

表 1　LF54F の一般仕様 2
表 2　CPU 内部 I/O 割付 １０
表 3　外部割込み割付..... １２
表 4　外部DMA割付..... １２

【図】

図 1　LF54F ブロック図..... 3
図 2　ＣＰＵ動作モード２（１）..... 6
図 3　ＣＰＵ動作モード２（２）..... 7
図 4　ＣＰＵ動作モード０（１）..... 8
図 5　ＣＰＵ動作モード０（２）..... 9
図 6　シリアル通信インターフェース部接続仕様..... １３
図 7　ＲＴＣインターフェース部接続仕様..... １４

１．概要

LF54F は、日立社製 CPU（SH2）を搭載した PC/104 サイズの CPU ボードです。

２．特徴

・CPU に SH7045AF-28（日立製作所社製）を搭載し、高速・多機能な動作が可能です。

・PC/104BUS コンパチブルのスタッキング可能なコネクタを搭載しており、市販されている多種の PC/104 BUS インターフェースボードとカードゲージ等無しで、接続できます。
また、PC/104 BUS は 16Bit BUS の PC/104 ボードも接続可能です。

・プログラムは、CPU 内蔵 FLASH または LF54F 上 EPROM、FLASH MEMORY の何れからもブート可能です。

・SH2 内蔵の I/O 信号をコネクタより取出しが可能なため、PWM 制御／位相計測／アナログ信号のサンプリング等のアプリケーションにも対応可能です。

・外部との高速通信（RS232C ﾎﾟｰﾄ（最高 460,800bps）×２チャネル、USB ポート 1 チャネル）が可能です。

・リアルタイムクロックを搭載しています。

・メモリは、電池バックアップ可能な SRAM(1MB)及び FLASH MEMORY(1MB)、EPROM(512Kbyte)を搭載しておりりますので、ボード単体でも幅広い応用が可能です。

3．一般仕様

表 1 に LF54F の一般仕様を示します。

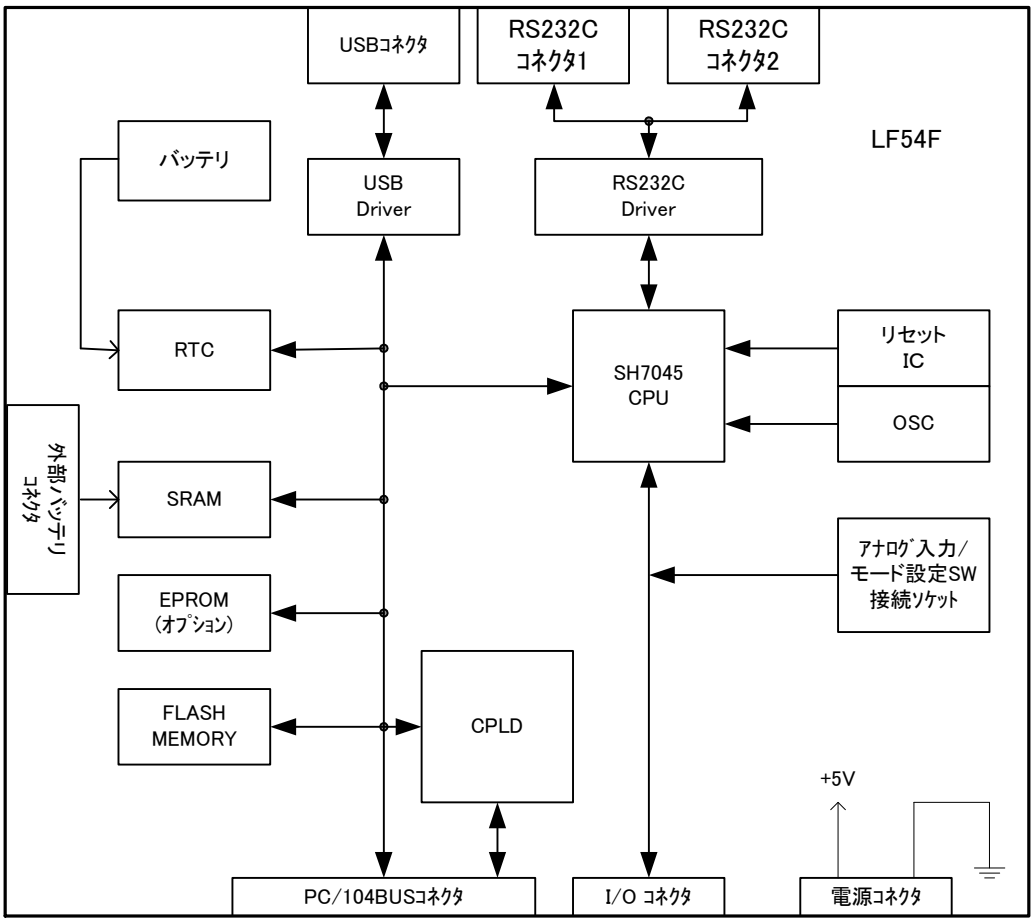
表 1　LF54F の一般仕様

項　　目	内　　容
動作電圧範囲	DC+5V±5%
消費電流	250mA(typ)
動作温度範囲	0℃～+50℃（結露なきこと）
保存温度範範囲	0℃～+70℃（結露なきこと）
外形寸法	90.1ｍｍ×95.8mm
質量	88g

４．ブロック図

LF54F のブロック図を下図に示します。

図 1　LF54F ブロック図



５．各部の仕様

５－１）ＣＰＵ

・品　　名：HD64F7045F28V
・メーカー　：ルネサスエレクトロニクス
・動作周波数：29.4912MHz
・内蔵機能　：・FLASH ROM (256Kbyte)
・SRAM (4Kbyte)
・シリアルポート（ＳＣＩ）×２ポート
・ダイレクトメモリアクセスコントローラ(DMAC)×４チャネル
・データトランスファコントローラ(DTC)
・ウォッチドックタイマ×１
・Ａ／Ｄコンバータ（分解能１０ビット）×８
・マルチファンクションパルスユニット(MTU)
・コンペアマッチタイマ(CMT)×２チャネル

５－２）ＣＰＬＤ

・品　　名：EPM7064STC44-10N×１
・メーカー　：アルテラ
・機　　能：
① PC/104BUS データ入出力処理信号生成
② ボード上MEMORY、I/O 制御信号生成

５－３）ＳＲＡＭ

・品　　名　：R1RP0408DGE-2LR（又は同等品）×２
・メーカー　　：ルネサスエレクトロニクス等
・容　　量　：512Kbyte（１個当り）
・バックアップ：外部電池を接続することにより可能

５－４）ＦＬＡＳＨ　ＭＥＭＯＲＹ

・品　　名：AM29F040B-55EC または同等品×２
・メーカー　：SPANSION 等
・容　　量：512Kbyte（１個当り）

５－５）ＥＰＲＯＭ（オプション）

・品　　名：M27C4002 または同等品×１
・メーカー　：ＳＴマイクロ等
・容　　量：512Kbyte

５－６）ＲＳ２３２Ｃドライバ（ＳＣＩ０側）

・品　　名　　：SP3243EUCYL×１
・メーカー　　：Ｓｉｐｅｘ
・電気的使用　　：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠
・最高伝送レート：460,800bps

５－７）ＲＳ２３２Ｃドライバ（ＳＣＩ１側）

・品　　名　　：SP3223EHCYL×１
・メーカー　　：Ｓｉｐｅｘ
・電気的使用　　：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠
・最高伝送レート：1Mbps

５－８）ＵＳＢドライバ

・品　　名：USBN9604-28M/NOPB×１
・メーカー　：ナショナルセミコンダクタ
・電気的使用：USB1.0 及びUSB1.1 に準拠

５－９）ＲＴＣ

・品　　名：RTC-7301SF×１
・メーカー　：エプソントヨコム
・機　　能：・30 秒アジャスト機能、デジタル歩度調整機能
　　・アラーム／タイマー割込機能
　　・半導体温度センサ内蔵

５－１０）バッテリー

・品　　名：CR-2032-1HF×１
・メーカー　：松下電器
・電池容量　：220mAh

５－１１）ＯＳＣ

・品　　名：SG8002DCPHB7.3728MHZ
・メーカー　：エプソン
・周波数　　：7.3728MHz
　　CPU 最高動作速度 29.4912MHz（データシート MAX 値よりオーバー）
　　SCI ボーレートクロック最大 921,600bps（誤差無）

ボーレート設定例

CLK / bps	29.4912MHZ		
	n	N	誤差(%)
300	2	191	0.00
600	2	95	0.00
1200	1	191	0.00
2400	1	95	0.00
4800	0	191	0.00
9600	0	95	0.00
19200	0	47	0.00
38400	0	23	0.00
57600	0	15	0.00
115200	0	7	0.00
230400	0	3	0.00
460800	0	1	0.00
921600	0	0	0.00

６．アドレスマップ

本項では、LF54F 上デバイスのアドレス割付け及び、SH2 各端子の割付けについて説明します。

６－１）メモリマップ

LF54F は、LF54F 上に実装されている S1 の Bit1 により、CPU(SH2)の動作モードをモード０またはモード２に設定することが可能です。
モード０は、CPU 内蔵 ROM 無効モードであるため、CPU は最初に CPU の CS0 空間に割振られたデバイスのプログラムを実行します。
LF54F では、CS0 空間に EPROM／FLASH MEMORY を実装してあり、どちらのデバイスからもブートを可能とするため、LF54F 上に実装されている S2 の Bit1 により EPROM／FLASH MEMORY のアドレスマップを変更することができます。
図 2～図 5 に S1 の Bit1 及び S2 の Bit1 の各設定時のメモリマップを示します。
尚　各領域（CS0～CS3）に対する BUS 幅、及び、アクセスタイミングは LF54F 起動時にソフトウェアにて行う必要があります。

図 2　ＣＰＵ動作モード２アドレスマップ（１）

アドレス	デバイス	容　量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit1)
H'00000000 H'0003FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	OFF
H'00040000 H'001FFFFF	予約空間	－	－	－		
H'00200000 H'0027FFFF	EPROM (HN27C4096)	512KB	CS0	16bit		
H'00300000 H'003FFFFF	FLASH MEMORY (AM29F040×2)	1MB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図 3　ＣＰＵ動作モード２アドレスマップ（２）

アドレス	デバイス	容　量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit1)
H'00000000 H'0003FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	ON
H'00040000 H'001FFFFF	予約空間	－	－	－		
H'00200000 H'002FFFFF	FLASH MEMORY （AM29F040×2）	1MB	CS0	16bit		
H'00300000 H'0037FFFF	EPROM （HN27C4096）	512KB				
H'00400000 H'004FFFFF	SRAM （HM628511×2）	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC （RTC-7301）	16B				
H'00818000 H'00818001	USB （USBN9604）	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図 4　ＣＰＵ動作モード０アドレスマップ（１）

アドレス	デバイス	容　量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit1)
H'00000000 H'0007FFFF	EPROM (HN27C4096)	512KB	CS0	16bit	ON	OFF
H'00100000 H'001FFFFF	FLASH MEMORY (AM29F040×2)	1MB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図 5　ＣＰＵ動作モード０アドレスマップ（２）

アドレス	デバイス	容　量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit1)
H'00000000 H'000FFFFF	FLASH MEMORY (AM29F040×2)	1MB	CS0	16bit	ON	ON
H'00100000 H'0017FFFF	EPROM (HN27C4096)	512KB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

6－2）ＣＰＵ内部Ｉ／Ｏマップ

CPU の各端子は、CPU 内部の設定レジスタにより起動時に下表の状態に設定する必要があります。
（設定に誤りがあると LF54F が動作しない場合があります）

表 2　CPU 内部 I/O 割付

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O, BSC	PA23/nWRHH	I	RS232C nCI0(CN3(9)に接続)
	PA22/nWRHL	I	RS232C nDSR0(CN3(6)に接続)
	PA21/nCASHH	I	RS232C nCTS0 (CN3(8)に接続)
	PA20/nCASHL	I	RS232C nDCD0 (CN3(1)に接続)
	PA19/nBACK/DRACK1	I	SP3243 DSR0 信号*1
	PA18/nBREQ/DRACK0	I	SP3243 nSTATUS 信号*1
	PA17/nWAIT	I	PC/104BUS IOCHRDY に接続
	PA16/nAH	I/O	汎用入出力(CN10(1)に接続)
I/O, BSC, MTU, SCI	PA15/ ϕ	0	CPU ｸﾛｯｸ出力 (PC/104BUS SYSCLK に接続)
	PA14/nRD	0	nRD に設定
	PA13/nWRH,	0	nWRH に設定
	PA12/nWRL	0	nWRL に設定
	PA11/nCS1	0	nCS1 に設定
	PA10/nCS0	0	nCS0 に設定
	PA9/TCLKD/nIRQ3	I/O	汎用入出力(CN10(29)に接続)
	PA8/TCLKC/nIRQ2	I/O	汎用入出力(CN10(29)に接続)
	PA7/TCCLKB/nCS3	I	VCC に接続
	PA6/TCCLKB/nCS3	I	RTC FOUT(3)に接続
	PA5/SCK1/nDREQ1/nIRQ1	I	RS232C nCTS1 (CN5(4)に接続)
	PA4/TXD1	0	RS232C TxD1(CN5(1)に接続)
	PA3/RXD1	I	RS232C RxD1(CN5(3)に接続)
	PA2/SCK0/nDREQ0/nIRQ0	0	RS232C RTS1(CN5(2)に接続)
	PA1/TXD0	0	RS232C TxD0(CN3(3)に接続)
	PA0/RXD0	I	RS232C RxD0(CN3(2)に接続)
I/O	PB9/A21/nIRQ7/nADTRG	0	A21 に設定(PC/104BUS LA21 に接続)
	PB8/A20/nIRQ6/nWAIT	0	A20 に設定(PC/104BUS LA20 に接続)
	PB7/A19/nIRQ5/nBREQ	0	A19 に設定(PC/104BUS LA19/SA19 に接続)
	PB6/A18/nIRQ4/nBACK	0	A18 に設定(PC/104BUS LA18/SA18 に接続)
	PB5/nIRQ3/nPOE3/RD_nWR	0	SP3243 ONLINE 信号*1
	PB4/nIRQ2/nPOE2/nCASH	0	SP3243 SHTDOWN 信号*1
	PB3/nIRQ1/nPOE1/nCASL	0	RS232C DTR0(CN5(4)に接続)
	PB2/nIRQ0/nPOE0/nRAS	0	RS232C RTS0(CN5(7)に接続)
	PB1/A17	0	A17 に設定(PC/104BUS LA17/SA17 に接続)
	,PB0/A16	0	A16 に設定(PC/104BUS SA16 に接続)
－	PC15/A15～PC0/A0	0	A15～A0 に設定(PC/104BUS SA15～SA0 に接続)

（続く）

(続き)

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O, BSC, DMAC, INTC, ADC	PD31/D31/ADTRG	I/O	CPU 内蔵 ADC 用ﾄﾘｶﾞ信号または汎用入出力 (SOK1(10)に接続)
	PD30	O	LED 制御出力(0:点灯 1:消灯)
	PD29/D29/nCS3	O	nCS3 に設定
	PD28/D28/nCS2	O	nCS2 に設定
	PD27/D27/nDACK1	O	nDACK1 に設定(PC/104BUS nDACK2 に接続)
	PD26/D26/nDACK0	O	nDACK0 に設定(PC/104BUS nDACK1 に接続)
	PD25/D25/nDREQ1	I	nDREQ1 に設定(PC/104BUS DREQ2 に接続)
	PD24/D24/nDREQ0	I	nDREQ0 に設定(PC/104BUS DREQ1 に接続)
	PD23/D23/nIRQ7	I	nIRQ7 に設定(PC/104BUS IRQ7 に接続)
	PD22/D22/nIRQ6	I	nIRQ6 に設定(PC/104BUS IRQ6 に接続)
	PD21/D21/nIRQ5	I	nIRQ5 に設定(PC/104BUS IRQ5 に接続)
	PD20/D20/nIRQ4	I	nIRQ4 に設定(PC/104BUS IRQ4 に接続)
	PD19/D19/nIRQ3	I	nIRQ3 に設定(PC/104BUS IRQ3 に接続)
	PD18/D18/nIRQ2	I	nIRQ2 に設定(PC/104BUS IRQ9 に接続)
	PD17/D17/nIRQ1	I	nIRQ1 に設定(USBN9604(nINTR)に接続)
	PD16/D16/nIRQ0	I	nIRQ0 に設定(RTC-7301(nIRQ)に接続)
―	PD15/D15～PD0/D0	O	D15～D0 に設定(PC/104BUS SD15～SD0 に接続)
I/O, MTU	PE15/TIOC4D/nDACK1/nIRQOUT	I/O	汎用入出力または MTU 入出力(CN7(8)に接続)
	PE14/TIOC4C/nDACK0/nAH	I/O	汎用入出力または MTU 入出力(CN7(6)に接続)
	PE13/TIOC4B/nMRES	I/O	汎用入出力または MTU 入出力(CN7(4)に接続)
	PE12/TIOC4A	I/O	汎用入出力または MTU 入出力(CN7(2)に接続)
	PE11/TIOC3D	I/O	汎用入出力または MTU 入出力(CN7(25)に接続)
	PE10/TIOC3C	I/O	汎用入出力または MTU 入出力(CN7(23)に接続)
	PE9/TIOC3B	I/O	汎用入出力または MTU 入出力(CN7(21)に接続)
	PE8/TIOC3A	I/O	汎用入出力または MTU 入出力(CN7(19)に接続)
	PE7/TIOC2B	I/O	汎用入出力または MTU 入出力(CN7(17)に接続)
	PE6/TIOC2A	I/O	汎用入出力または MTU 入出力(CN7(15)に接続)
	PE5/TIOC1B	I/O	汎用入出力または MTU 入出力(CN7(13)に接続)
	PE4/TIOC1A	I/O	汎用入出力または MTU 入出力(CN7(11)に接続)
	PE3/TIOC0D/DRAC1	I/O	汎用入出力または MTU 入出力(CN7(9)に接続)
	PE2/TIOC0C/nDRQ1	I/O	汎用入出力または MTU 入出力(CN7(7)に接続)
	PE1/TIOC0B/DRAC0	I/O	汎用入出力または MTU 入出力(CN7(5)に接続)
	PE0/TIOC0A/nDRQ0	I/O	汎用入出力または MTU 入出力(CN7(3)に接続)
ADC, I/O	AN0/PF0	I	ADC CH0 ﾃﾞｰﾀ/DSW(1)*2
	AN1/PF1	I	ADC CH1 ﾃﾞｰﾀ/DSW(2) *2
	AN2/PF2	I	ADC CH2 ﾃﾞｰﾀ/DSW(3) *2
	AN3/PF3	I	ADC CH3 ﾃﾞｰﾀ/DSW(4) *2
	AN4/PF4	I	ADC CH4 ﾃﾞｰﾀ/DSW(5) *2
	AN5/PF5	I	ADC CH5 ﾃﾞｰﾀ/DSW(6) *2
	AN6/PF6	I	ADC CH6 ﾃﾞｰﾀ/DSW(7) *2
	AN7/PF7	I	ADC CH7 ﾃﾞｰﾀ/RTC 温度値/DSW(8) *2

各ポートの機能設定・ディレクション設定方法に関しては、CPU のデータシートをご参照下さい。
コントローラ名称は、日立製作所社発行の SH7040 シリーズハードウェアマニュアルに記載されている名称です。
*1　各信号の使用方法は、Sipex 社 SP3223EH/3243 データシートをご参照下さい。
*2　DSW は 8bit のディップスイッチで、CPU 内蔵 ADC 未使用時に実装可能です。

6－3）外部割込み接続

CPU の各割込み端子と外部デバイスとの接続関係を、下表に示します。

表 3　外部割込み割付

割込み要因	接続端子名	接　　続　　先
nIRQ7	PD23/D23/nIRQ7	PC/104 BUS の IRQ7*1
nIRQ6	PD22/D22/nIRQ6	PC/104 BUS の IRQ6*1
nIRQ5	PD21/D21/nIRQ5	PC/104 BUS の IRQ5*1
nIRQ4	PD20/D20/nIRQ4	PC/104 BUS の IRQ4*1
nIRQ3	PD19/D19/nIRQ3	PC/104 BUS の IRQ3*1
nIRQ2	PD18/D18/nIRQ2	PC/104 BUS の IRQ9*1
nIRQ1	PD17/D17/nIRQ1	USB ｲﾝﾀｰﾌｪｰｽﾄﾞﾗｲﾊﾞ (USBN9604-28M)の割込み端子
nIRQ0	PD16/D16/nIRQ0	RTC(RTC-7301SF)の割込み端子
NMI	NMI	PC/104 BUS の nIOCHCK

*1　入力信号レベルは、反転されて CPU に入力されます。

6－4）外部DMA接続

CPU 内蔵の DMA 制御端子は、PC/104 BUS の DMA 制御端子と接続されています。
接続関係を下表に示します。

表 4　外部DMA割付

DMAチャネル番号	接続端子名	接　　続　　先
0	PD24/D24/nDREQ0	PC/104 BUS の DREQ1*1
	PD26/D26/nDACK0	PC/104 BUS の nDACK1
1	PD25/D25/nDREQ1	PC/104 BUS の DREQ2*1
	PD27/D27/nDACK1	PC/104 BUS の nDACK2

*1　入力信号レベルは、反転されて CPU に入力されます。

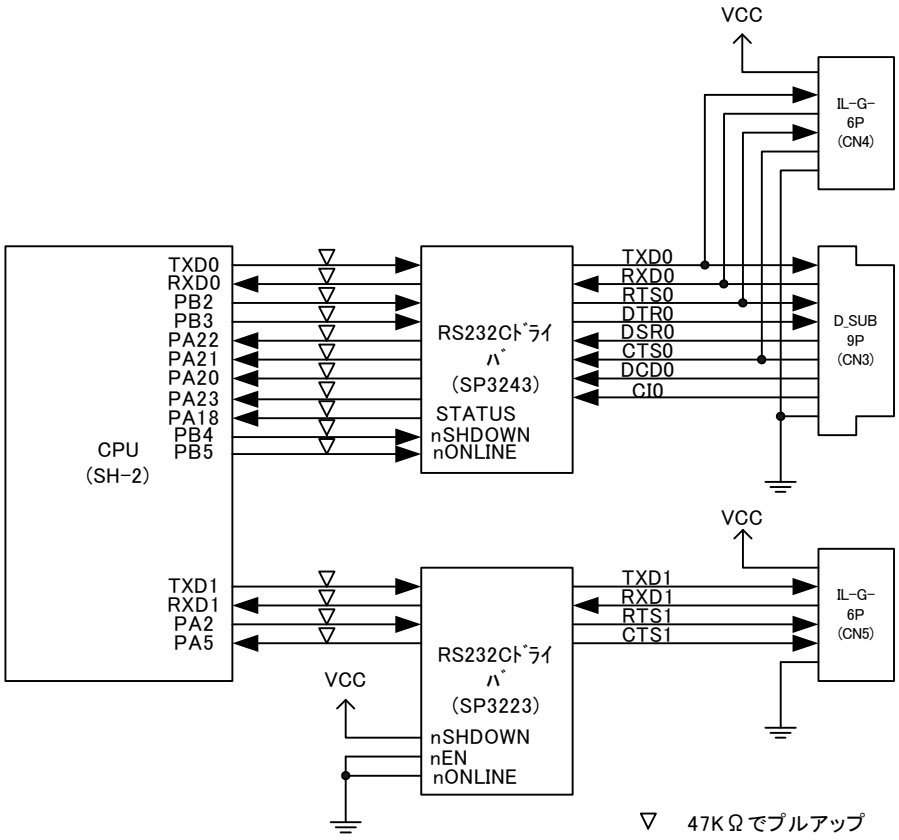
7．接続仕様

本項では、LF54F 内主要部のデバイス＜－＞デバイス間およびデバイス＜－＞コネクタ間の電気的接続仕様につき説明します。

7－1）シリアル通信インターフェース

LF54F 上には、シリアル通信インターフェースとして、LF54F 上 CPU の内蔵シリアルインターフェース２チャンネル（SCI0,SCI1）及び内蔵 I/O ポートより、RS232C ドライバを介し外部と接続することが可能です。
シリアル通信インターフェース部の接続仕様下図に示します。

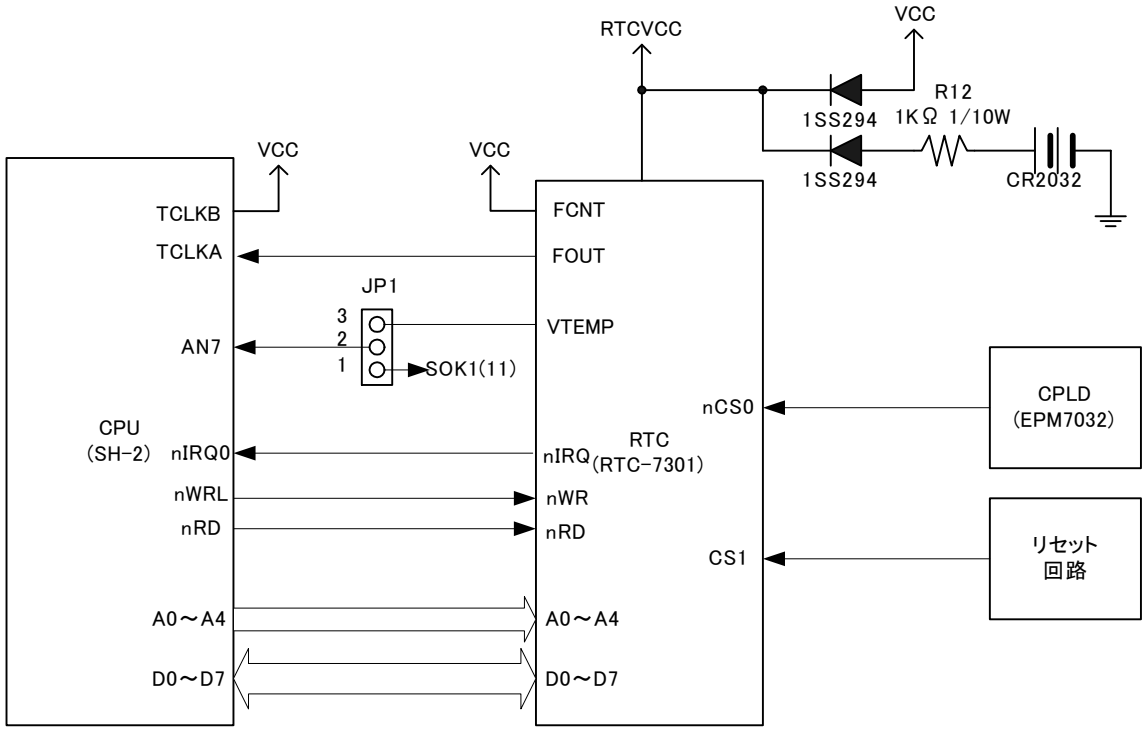
図 6　シリアル通信インターフェース部接続仕様



7－2）ＲＴＣインターフェース

LF54F 上の RTC は、時計機能の他クロック出力機能、温度を電圧として出力する機能を有しています。
LF54F では、RTC の他クロック出力及び温度電圧出力を CPU に接続することにより、その機能を活用することができます。
ＲＴＣインターフェース部の接続を下図に示します。

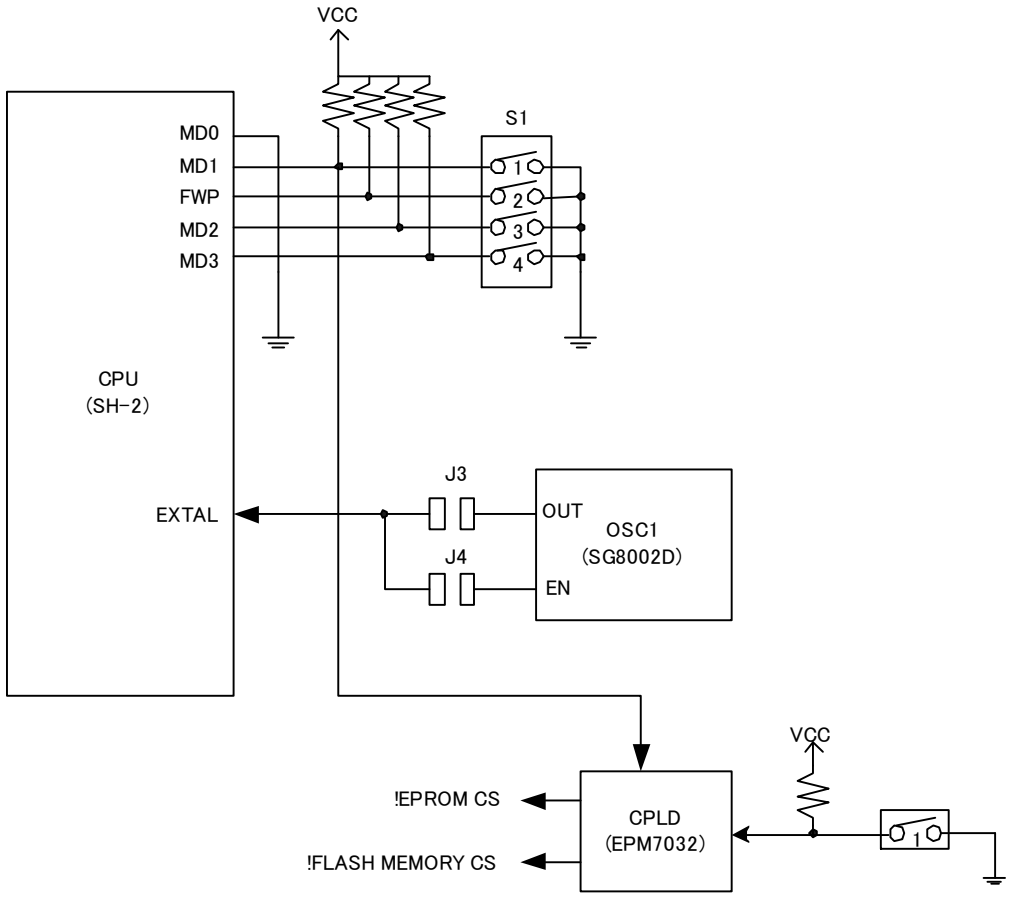
図 7　ＲＴＣインターフェース部接続仕様



7－3）ＣＰＵモード設定・クロック入力部

LF54F 上 CPU のモード端子及びクロックは、下図に示す接続となっており、CPU の動作モード及び入力クロックの逓倍率を可変することが可能です。

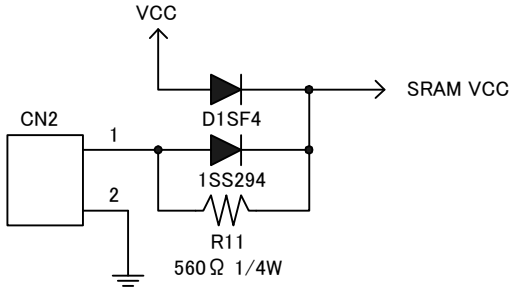
図 8　ＣＰＵモード設定・クロック入力部接続仕様



7－4）外部バッテリー入力部

SRAM のバックアップを可能とするため、LF54F 上には外部バッテリーの入力コネクタが実装されています。
バッテリー入力部の接続を下図を示します。

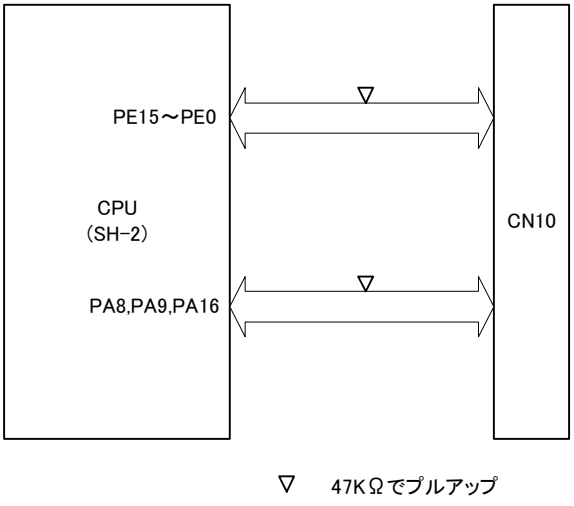
図 9　バッテリー入力部接続仕様



7－5）Ｉ／O接続コネクタ部

LF54F 上 CN10 には、CPU 内蔵 I/O が接続されたコネクタが実装されています。
CN10<->CPU 間の接続を下図に示します。

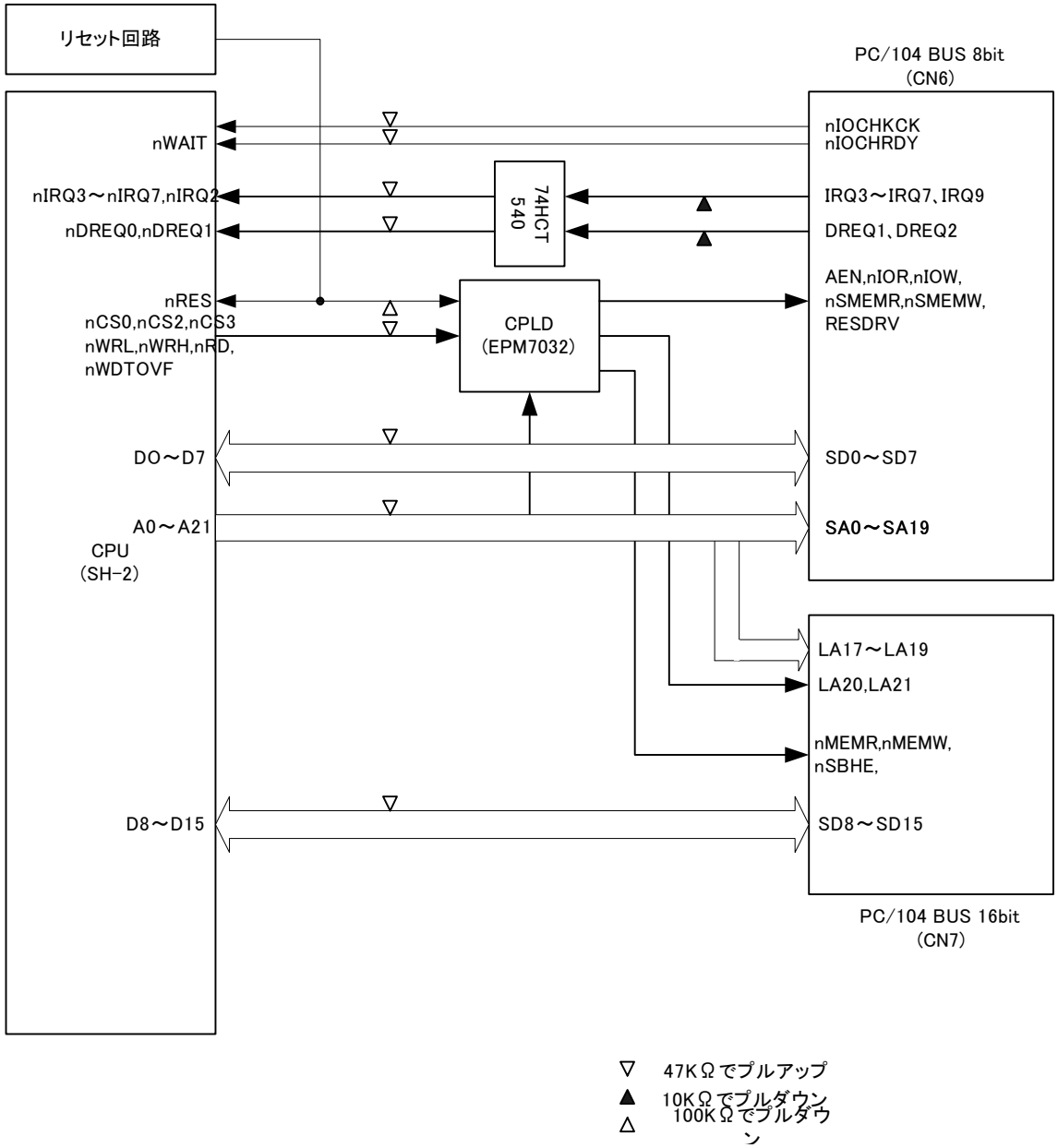
図 10　ＣＮ１０＜－＞ＣＰＵ間接続仕様



7－6）ＰＣ／１０４　ＢＵＳインターフェース

PC/104 BUS インターフェース部は、下図の接続となっています。

図 11　ＰＣ／１０４　ＢＵＳインターフェース部接続仕様



８．コネクタ

本項では、LF54F に実装されている各コネクタについて説明します。

８－１）ＵＳＢ接続コネクタ（ＣＮ１）

本コネクタは、USB マスターインターフェース搭載装置と接続します。
USB 接続コネクタの機能／ピンアサインを下表に示します。

表 5　ＵＳＢ接続コネクタピンアサイン

使用コネクタ：DUSB-BRA42-T11（ＤＤＫ）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　能
1	NC	－	－	未接続
2	D-	I/O	－	-DATA
3	D+	I/O	－	+DATA
4	GND	P	0V	シグナルグランド

８－２）外部バッテリー接続コネクタ（ＣＮ２）

本コネクタは、LF54F 上 SRAM をバッテリーでバックアップを行なう場合に、外部バッテリーと接続します。
接続するバッテリーは、3V 以上の電圧を出力可能な１次電池または Ni-Cd 電池を接続して下さい。
尚　１次電池を接続する場合は R11 を必ず外して下さい。
また、Ni-Cd 電池を接続し、トリクル充電を行なう場合は電池の仕様に合った抵抗を実装して下さい。
外部バッテリー接続コネクタの機能／ピンアサインを下表に示します。

表 6　電源接続コネクタピンアサイン

使用コネクタ：IL-G-2P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VBATT	I/O	DC+3V～5V	バッテリー電源
2	GND	P	0V	シグナルグランド

8－3）ＲＳ２３２C接続コネクタ１（ＣＮ３）

本コネクタは、CPU 内蔵 SCI0 ポートが RS232C ドライバを経由し接続されています。
尚　本コネクタは、CN4 を実装する場合には実装できません。
ＲＳ２３２C接続コネクタ１の機能／ピンアサインを下表に示します。

表 7　ＲＳ２３２C接続コネクタ１ピンアサイン

使用コネクタ：RDED-9P-LNA（ヒロセ）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　能
1	nDCD0	I	EIA/TIA-232E	データキャリアディテクト信号
2	RxD0	I	EIA/TIA-232E	シリアル受信データ
3	TxD0	0	EIA/TIA-232E	シリアル送信データ
4	nDTR0	0	EIA/TIA-232E	データターミナルレディ信号
5	GND	P	0V	シグナルグランド
6	nDSR0	I	EIA/TIA-232E	データセットレディ信号
7	nRTS0	0	EIA/TIA-232E	リクエストトゥセンド信号
8	nCTS0	I	EIA/TIA-232E	クリアトゥセンド信号
9	nRI0	I	EIA/TIA-232E	リングインディケーション信号

8－4）ＲＳ２３２C接続コネクタ２（ＣＮ４）

本コネクタは、CPU 内蔵 SCI0 ポートが RS232C ドライバを経由し接続されています。
尚　本コネクタは、CN3 を実装する場合には実装できません。
ＲＳ２３２C接続コネクタ２の機能／ピンアサインを下表に示します。

表 8　ＲＳ２３２C接続コネクタ２ピンアサイン

使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TxD0	0	EIA/TIA-232E	シリアル送信データ
2	nRTS0	0	EIA/TIA-232E	リクエストトゥセンド信号
3	RxD0	I	EIA/TIA-232E	シリアル受信データ
4	nCTS0	I	EIA/TIA-232E	クリアトゥセンド信号
5	GND	P	0V	シグナルグランド
6	VCC	P	DC+5V	DC+5V 電源出力

8－5）ＲＳ２３２C接続コネクタ３（ＣＮ５）

本コネクタは、CPU 内蔵 SCI1 ポートが RS232C ドライバを経由し接続されています。
尚　本コネクタは、CPU 内蔵フラッシュメモリへのプログラム書込み用にも使用します。
ＲＳ２３２C接続コネクタ３の機能／ピンアサインを下表に示します。

表 9　ＲＳ２３２C接続コネクタ３ピンアサイン

使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TxD1	0	EIA/TIA-232E	シリアル送信データ
2	nRTS1	0	EIA/TIA-232E	リクエストトゥセンド信号
3	RxD1	I	EIA/TIA-232E	シリアル受信データ
4	nCTS1	I	EIA/TIA-232E	クリアトゥセンド信号
5	GND	P	0V	シグナルグランド
6	VCC	P	DC+5V	DC+5V 電源出力

8－6）ＰＣ／１０４　ＢＵＳ接続コネクタ１（ＣＮ６）

本コネクタは、PC/104 BUS 用スレーブ基板(8bit または 16bitBUS 品)をスタッキングするためのコネクタです。

PC/104 BUS 接続コネクタ１の機能／ピンアサインを下表に示します。

表 10　ＰＣ／１０４　ＢＵＳ接続コネクタ１ピンアサイン

使用コネクタ：1100104-202-R（アストロンまたは同等品）

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
A1	nIOCHCK	I	ﾉﾝﾏｽｶﾌﾞﾙ割込信号	B1	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A2	SD7	I/O	ﾃﾞｰﾀ 7	B2	RESDRV	O	ﾘｾｯﾄ*1
A3	SD6	I/O	ﾃﾞｰﾀ 6	B3	VCC	P	DC+5V
A4	SD5	I/O	ﾃﾞｰﾀ 5	B4	IRQ9	I	割込信号 2
A5	SD4	I/O	ﾃﾞｰﾀ 4	B5	-5V	－	未接続
A6	SD3	I/O	ﾃﾞｰﾀ 3	B6	DREQ2	I	DMA ﾘｸｴｽﾄ 2
A7	SD2	I/O	ﾃﾞｰﾀ 2	B7	-12V	－	未接続
A8	SD1	I/O	ﾃﾞｰﾀ 1	B8	nENDXFR	－	未接続
A9	SD0	I/O	ﾃﾞｰﾀ 0	B9	+12V	－	未接続
A10	nIOCHRDY	I	CPU ｳｪｲﾄﾘｸｴｽﾄ	B10	(KEY)	－	－
A11	AEN	O	ｱﾄﾞﾚｽｲﾈｰﾌﾞﾙ	B11	nSMEMW	O	ﾒﾓﾘﾗｲﾄ(8bit)
A12	SA19	O	ｱﾄﾞﾚｽ 19	B12	nSMEMR	O	ﾒﾓﾘﾘｰﾄﾞ(8bit)
A13	SA18	O	ｱﾄﾞﾚｽ 18	B13	nIOWR	O	I/O ﾗｲﾄ
A14	SA17	O	ｱﾄﾞﾚｽ 17	B14	nIORD	O	I/O ﾘｰﾄﾞ
A15	SA16	O	ｱﾄﾞﾚｽ 16	B15	nDACK3	O	(PULL UP)
A16	SA15	O	ｱﾄﾞﾚｽ 15	B16	DREQ3	－	未接続
A17	SA14	O	ｱﾄﾞﾚｽ 14	B17	nDACK1	O	DMA ｱｸﾉﾘｯｼﾞ 1
A18	SA13	O	ｱﾄﾞﾚｽ 13	B18	DREQ1	I	DMA ﾘｸｴｽﾄ 1
A19	SA12	O	ｱﾄﾞﾚｽ 12	B19	nREFSH	O	(PULL UP)
A20	SA11	O	ｱﾄﾞﾚｽ 11	B20	SYSCLK	O	ｼｽﾃﾑｸﾛｯｸ
A21	SA10	O	ｱﾄﾞﾚｽ 10	B21	IRQ7	I	割込信号 7
A22	SA9	O	ｱﾄﾞﾚｽ 9	B22	IRQ6	I	割込信号 6
A23	SA8	O	ｱﾄﾞﾚｽ 8	B23	IRQ5	I	割込信号 5
A24	SA7	O	ｱﾄﾞﾚｽ 7	B24	IRQ4	I	割込信号 4
A25	SA6	O	ｱﾄﾞﾚｽ 6	B25	IRQ3	I	割込信号 3
A26	SA5	O	ｱﾄﾞﾚｽ 5	B26	nDACK2	O	DMA ｱｸﾉﾘｯｼﾞ 2
A27	SA4	O	ｱﾄﾞﾚｽ 4	B27	TC	O	(PULL UP)
A28	SA3	O	ｱﾄﾞﾚｽ 3	B28	BALE	O	(PULL UP)
A29	SA2	O	ｱﾄﾞﾚｽ 2	B29	VCC	P	DC+5V
A30	SA1	O	ｱﾄﾞﾚｽ 1	B30	OSC	－	未接続
A31	SA0	O	ｱﾄﾞﾚｽ 0	B31	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A32	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	B32	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

・本コネクタの信号レベルはＴＴＬです。

・機能欄の(PULL UP)は、当該端子が DC+5V でプルアップされていることを示します。

*1　約 95ms の間 Hi レベルを出力します。

8－7）ＰＣ／１０４　ＢＵＳ接続コネクタ２（ＣＮ７）

本コネクタは、PC/104BUS 用スレーブ基板(16bitBUS 品)をスタッキングするためのコネクタです。

PC/104 BUS 接続コネクタ２の機能／ピンアサインを下表に示します。

表 11　ＰＣ／１０４　ＢＵＳ接続コネクタ２ピンアサイン

使用コネクタ：1100104-202-R（アストロンまたは同等品）

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
C0	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	D0	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
C1	nSBHE	O	ｼｽﾃﾑﾊﾞｽ Hi Byte ｲﾈｰﾌﾞﾙ	D1	nMEMCS16	－	未接続
C2	LA23	O	GND に接続	D2	nIOCS16	－	未接続
C3	LA22	O	GND に接続	D3	IRQ10	－	未接続
C4	LA21	O	ｱﾄﾞﾚｽ 21	D4	IRQ11	－	未接続
C5	LA20	O	ｱﾄﾞﾚｽ 20	D5	IRQ12	－	未接続
C6	LA19	I/O	ｱﾄﾞﾚｽ 19	D6	IRQ13	－	未接続
C7	LA18	I/O	ｱﾄﾞﾚｽ 18	D7	IRQ14	－	未接続
C8	LA17	I/O	ｱﾄﾞﾚｽ 17	D8	nDACK0	O	(PULL UP)
C9	nMEMR	O	ﾒﾓﾘﾘｰﾄﾞ(16bit)	D9	DREQ0	－	未接続
C10	nMEMW	O	ﾒﾓﾘﾗｲﾄ(16bit)	D10	nDACK5	O	(PULL UP)
C11	SD8	I/O	ﾃﾞｰﾀ 8	D11	DREQ5	－	未接続
C12	SD9	I/O	ﾃﾞｰﾀ 9	D12	nDACK6	O	(PULL UP)
C13	SD10	I/O	ﾃﾞｰﾀ 10	D13	DREQ6	－	未接続
C14	SD11	I/O	ﾃﾞｰﾀ 11	D14	nDACK7	O	(PULL UP)
C15	SD12	I/O	ﾃﾞｰﾀ 12	D15	DREQ7	－	未接続
C16	SD13	I/O	ﾃﾞｰﾀ 13	D16	VCC	P	DC+5V
C17	SD14	I/O	ﾃﾞｰﾀ 14	D17	nMASTER	O	(PULL UP)
C18	SD15	I/O	ﾃﾞｰﾀ 15	D18	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
C19	(KEY)	－	－	D19	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

・本コネクタの信号レベルはＴＴＬです。

・機能欄の(PULL UP)は、当該端子が DC+5V でプルアップされていることを示し、(GND)は当該端子が GND に接続されていることを示します。

8－8）ＣＰＬＤ用ＪＴＡＧ接続コネクタ（ＣＮ８）

本コネクタは、LF54F 上 CPLD の JTAG 端子に接続されており、CPLD 専用デバッグ・プログラム書込みケーブルと接続します。（本コネクタは実装されておりません）

CPLD 用 JTAG 接続コネクタの機能／ピンアサインを下表に示します。

表 12　ＣＰＬＤ用ＪＴＡＧ接続コネクタピンアサイン

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TCK	I	TTL	データ同期信号
2	GND	P	0V	シグナルグランド
3	TDO	0	TTL	シリアルデータ出力信号
4	VCC	P	DC+5V	電源
5	TMS	I	TTL	テストモード選択信号
6	NC	－	－	未接続
7	NC	－	－	未接続
8	NC	－	－	未接続
9	TDI	I	TTL	シリアルデータ入力信号
１０	GND	P	0V	シグナルグランド

8－9）電源接続コネクタ（ＣＮ９）

本コネクタは、LF54F に供給する電源装置と接続します。

電源接続コネクタの機能／ピンアサインを下表に示します。

表 13　電源接続コネクタピンアサイン

使用コネクタ（標　　準）：IL-G-2P-S3L2-SA（ＪＡＥ）
使用コネクタ（オプション）：IL-G-4P-S3L2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VCC	P	DC+5V±5%	回路電源
2	VCC	P	DC+5V±5%	回路電源（標準時 1 番ピン）
3	GND	P	0V	シグナルグランド（標準時 2 番ピン）
4	GND	P	0V	シグナルグランド

８－１０）Ｉ／O接続コネクタ（ＣＮ１０）

本コネクタは、LF54F 上 CPU 内蔵 I/O 信号が接続されており、1～26 ピンのアサインは DOS/V 機のプリンターポートと同等のアサインとしてあるため、プリンター制御ポートとしても使用可能です。

Ｉ／O接続コネクタの機能／ピンアサインを下表に示します。

表 14　Ｉ／O接続コネクタ１ピンアサイン

使用コネクタ：XG4C-3031（オムロン）

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	PA16	I/O	TTL 入出力ﾎﾟｰﾄ	2	PE12	I/O	TTL 入出力ﾎﾟｰﾄ
3	PE0	I/O	TTL 入出力ﾎﾟｰﾄ	4	PE13	I/O	TTL 入出力ﾎﾟｰﾄ
5	PE1	I/O	TTL 入出力ﾎﾟｰﾄ	6	PE14	I/O	TTL 入出力ﾎﾟｰﾄ
7	PE2	I/O	TTL 入出力ﾎﾟｰﾄ	8	PE15	I/O	TTL 入出力ﾎﾟｰﾄ
9	PE3	I/O	TTL 入出力ﾎﾟｰﾄ	10	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
11	PE4	I/O	TTL 入出力ﾎﾟｰﾄ	12	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
13	PE5	I/O	TTL 入出力ﾎﾟｰﾄ	14	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
15	PE6	I/O	TTL 入出力ﾎﾟｰﾄ	16	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
17	PE7	I/O	TTL 入出力ﾎﾟｰﾄ	18	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
19	PE8	I/O	TTL 入出力ﾎﾟｰﾄ	20	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
21	PE9	I/O	TTL 入出力ﾎﾟｰﾄ	22	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
23	PE10	I/O	TTL 入出力ﾎﾟｰﾄ	24	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
25	PE11	I/O	TTL 入出力ﾎﾟｰﾄ	26	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
27	PA8	I/O	TTL 入出力ﾎﾟｰﾄ	28	VCC	P	DC+5V 電源
29	PA9	I/O	TTL 入出力ﾎﾟｰﾄ	30	VCC	P	DC+5V 電源

８－１１）アナログ／ＴＴＬ信号入力ソケット（ＳＯＫ１）

本ソケットは、300mil 18Pin の IC ソケットが実装されており、LF54F 上 CPU 内蔵アナログ I/O ポート（AN0～７）信号及びアナログサンプリングトリガ入力信号(CPU ADYRG 端子)が接続されています。

本ソケットには、用途に応じ 8bit ディップスイッチ／TTL 信号入力または外部アナログ信号（DC0V～+5V）を接続することが可能で、本ソケットの 10Pin にはアナログサンプリングトリガ入力信号が接続されているため、外部トリガ信号(TTL)によりアナログ信号をサンプリングすることも可能です。

尚　本ソケットにディップスイッチまたは TTL 入力信号を接続する場合は、SOK2 に抵抗アレー（10KΩ×8）を実装して下さい。

SOK1 ソケットの機能／ピンアサインを下表に示します。

表 15　アナログ／ＴＴＬ信号入力ソケットピンアサイン

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	18	AN0/PF0	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
2	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	17	AN1/PF1	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
3	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	16	AN2/PF2	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
4	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	15	AN3/PF3	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
5	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	14	AN4/PF4	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
6	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	13	AN5/PF5	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
7	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	12	AN6/PF6	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
8	AGND	P	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	11	AN7/PF7	I	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
9	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	10	ADTRG	I	ADC ｻﾝﾌﾟﾘﾝｸﾞﾄﾘｶﾞ

９．スイッチ／ジャンパの設定

LF54F 上には、S1（４ビットディップスイッチ）、S2（１ビットディップスイッチ）、JP1（3 ピンジャンパポスト）及び J1～J4（半田ショートパターン）が有り、それぞれ下記の設定を行います。

９－１）Ｓ１

S1 は、４ビットのディップスイッチで、Bit1,2 は CPU の動作モード及びプログラム書込みモードを設定し、Bit3,4 は CPU のクロックモードを設定します。（S1 は、ON が下、OFF が上となります。）
S1(Bit1,2)の設定内容を表 16 に、S1(Bit3,4)の設定内容を表 17 に示します。

表 16　ＣＰＵ動作モード設定（Ｓ１(Bit1,2)）

機　　能	Bit 状態		設定内容
	1(MD1)	2(FWP)	
CPU 動作モード設定	OFF	OFF	内蔵 ROM 有効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 2)（出荷時設定）
	ON	OFF	内蔵 ROM 無効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 0)
	OFF	ON	ﾕｰｻﾞｰﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ
	ON	ON	ﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ

・オンボードプログラムの設定
S1 を、ブートプログラムモードに設定し、電源を投入するとＣＰＵはブートプログラムモードに入り、内蔵フラッシュ ROM を消去し、SCI1 からのプログラミング待ち状態となります。
尚　ＣＰＵのオンボードプログラム方法に関しては本仕様書１０．ＣＰＵに対するプログラム書込の項をご参照下さい。

表 17　ＣＰＵクロックモード設定（Ｓ１(Bit3,4)）

機　　能	Bit 状態		設定内容
	3(MD2)	4(MD3)	
CPU クロック モード設定	OFF	OFF	設定禁止
	ON	OFF	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×4（出荷時設定）
	OFF	ON	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×2
	ON	ON	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×1

9－2）Ｓ２

S2(Bit1)はS1(Bit1)とともにCPUのCS0領域内アドレスロケーション設定に使用します。
S1(Bit1) 、S2(Bit1)の組合せによる設定は、下表の通りとなります。

表 18　CS0領域内メモリマップ

CPU動作モード	アドレス	名　　称	S1 Bit1	S2 Bit1	メモリ容量	機　能
MCU Mode2	00000000～0003FFFF	CPU内蔵FLASH ROM	OFF	OFF	256Kbyte	ﾌﾞｰﾄ領域
	00200000～0027FFFF	EPROM			512Kbyte	読出専用領域
	00300000～003FFFFF	FLASH MEMORY			1Mbyte	不揮発ﾃﾞｰﾀ領域
	00000000～0003FFFF	CPU内蔵FLASH ROM	出荷時設定		256Kbyte	ﾌﾞｰﾄ領域
	00200000～002FFFFF	FLASH MEMORY	OFF	ON	1Mbyte	不揮発ﾃﾞｰﾀ領域
	00300000～0037FFFF	EPROM			512Kbyte	読出専用領域
MCU Mode0	00000000～0007FFFF	EPROM	ON	OFF	512Kbyte	ﾌﾞｰﾄ領域
	00100000～001FFFFF	FLASH MEMORY			1Mbyte	不揮発ﾃﾞｰﾀ領域
	00000000～000FFFFF	FLASH MEMORY	ON	ON	1Mbyte	ﾌﾞｰﾄ領域
	00100000～0017FFFF	EPROM			512Kbyte	読出専用領域

9－3）ＪＰ1

本ジャンパは、CPU アナログ入力端子(AN7/PF7)に入力する信号を選択します。
JP1 の設定内容を下表に示します。

表 19　CPU アナログ入力端子(AN7/PF7)入力信号設定

ＪＰ１の状態	内　　容
1-2 短絡	SOK1(11)に接続（出荷時設定）
2-3 短絡	RTC 温度出力端子(TMPOUT)に接続

9－4）Ｊ１、Ｊ２

J1 及び J2 は、USB コネクタの金属シェル部の接続先を設定する半田短絡型のジャンパです。
J1,J2 の設定内容を下表に示します。

表 20　ＵＳＢコネクタ金属シェル部の接続先設定

ＪＰ１の状態	内　　容
J1 短絡	基板取付穴のｽﾙｰﾎｰﾙに接続
J2 短絡	GND に接続

＊出荷時は、J1,J2 共開放です

9－5）Ｊ３、Ｊ４

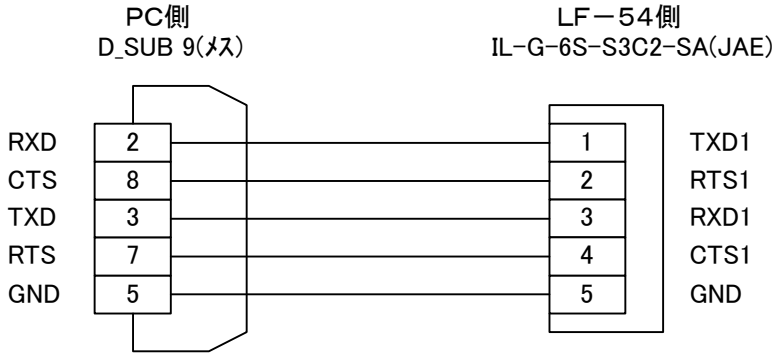
J3,J4 の設定は出荷時の設定のまま変更しないで下さい。（JP3 短絡、JP4 開放）

１０．ＣＰＵに対するプログラム書込

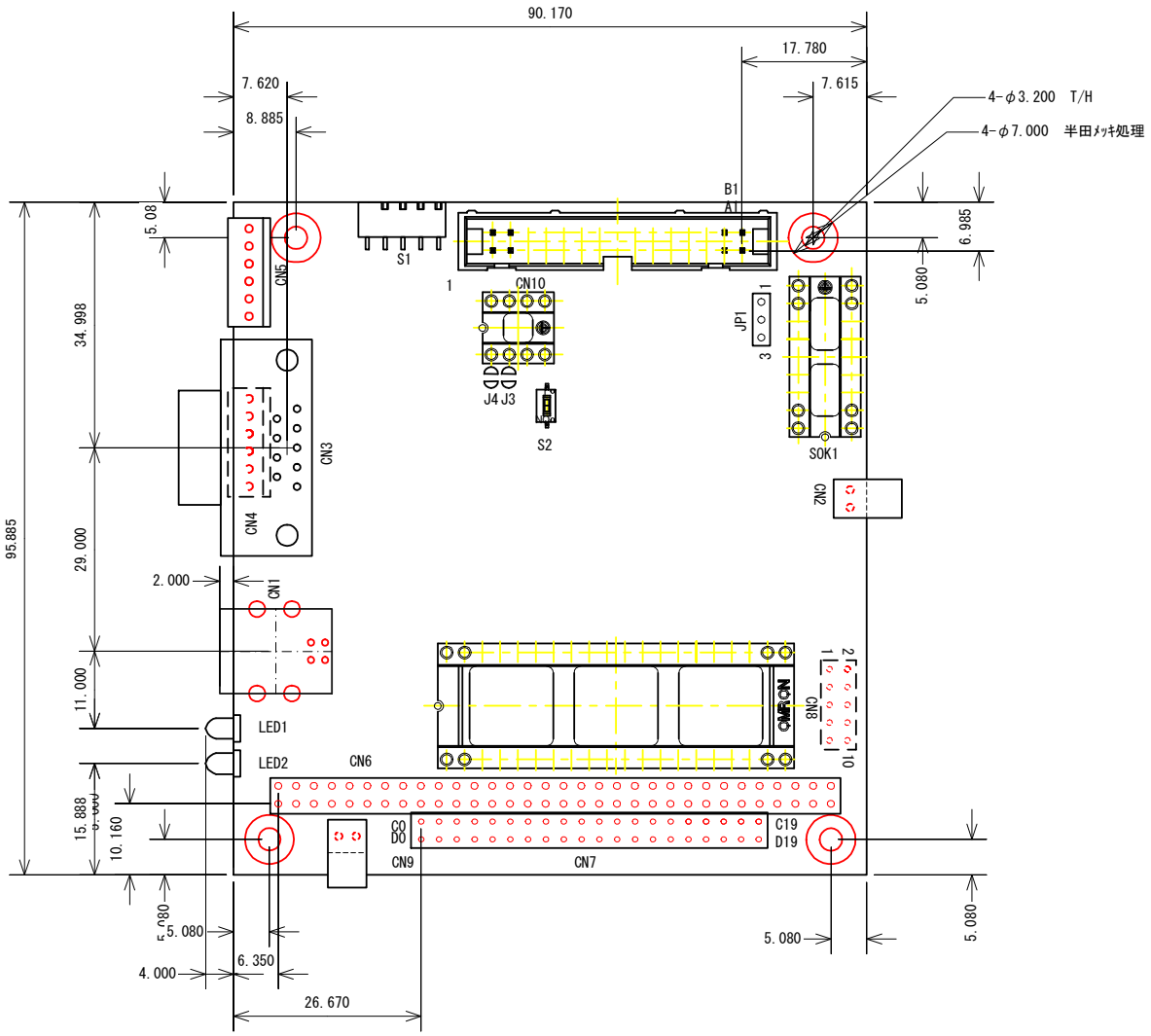
LF54F 上の CPU は、以下の方法によりオンボードでのプログラム書換が可能です。

① 本装置の電源が OFF 状態で、LF54F 上 S1 をブートプログラムモードに設定し、お手持ちの CPU 書込みソフトウェアがインストールされている PC の RS232C ポートと LF54F の CN5 を下図のケーブルで接続します。
② PC 及び LF54F の電源を ON にします。
③ CPU 書込みソフトウェアの書込み手順に従いプログラムを書込みます。
④ プログラムのロード終了を確認後、LF54F の電源を OFF にし、PC との接続ケーブルを外します。
⑤ LF54F 上 S1 を内蔵 ROM 有効通常動作モードに設定します。
⑥ LF54F の電源を投入し、動作を確認します。

図 12　LF54F<->PC 接続ケーブル結線図



１１．基板外形


90.170
17.780
7.620
8.885
7.615
4-φ3.200 T/H
4-φ7.000 半田ﾒｯｷ処理
B1
A1
S1
CN10
JP1
J4 J3
S2
SOK1
CN5
CN3
CN4
CN2
CN1
CN8
CN6
CN9
CN7
LED1
LED2
C0
D0
C19
D19
95.885
34.998
29.000
11.000
15.888
10.160
5.08
6.985
5.080
2.000
4.000
6.350
26.670

部品面視

１２．使用時の留意点

LF54F をご使用の際は、下記事項にご留意下さい。

１２－１）ＥＰＲＯＭ使用時の注意事項

EPROM をご使用の場合、EPROM にプログラムもしくはデータを ROM ライタで書き込む時にはビッグエンディアンモードで書き込むか、リトルエンディアンで書き込む場合には上位バイトと下位バイトをスワップさせる必要があります。

１２－２）ＲＳ２３２Ｃドライバ使用時の注意事項

LF54F に実装されている RS232C ドライバには ONLINE・SHDOWN のドライバ制御信号があり、当信号は SH2 の I/O (PB4,PB5) に接続されています。SH2 SCIO ポートを使用し外部と通信を行う場合、前記の信号がディセーブル状態(SHDOWN が Low)になっていると通信ができませんのでご注意下さい。

１２－３）ＣＰＬＤについて

LF54F に実装されている CPLD の JTAG 端子はボード上の CN8 に接続されており、アルテラ社のコンパイラ及びバイトブラスタを使用して CPLD にデータを書き込むことは可能ですが、お客様での CPLD 書き換えは LF54F 及び PC/104 BUS に接続されるスレーブボードの故障の原因となりますので、行わないで下さい。

１２－４）ＰＣ／１０４　ＢＵＳへのアクセス

LF54F の PC/104 BUS は、物理的形状・ピンアサイン（一部を除く）は規格に準拠しておりますが、BUS タイミングに関しては SH2 CPU の信号線が接続（一部加工されている）されているため、PC/104 BUS タイミングには準拠しておりません、PC/104 BUS にスレーブボードを接続する場合には、SH2 CPU のバスステートコントローラ (BSC) 等により BUS タイミングを調整する必要がある場合があります。
(弊社で取扱のあるボードに限り設定データをご提供できます)

また、SH2 CPU のバイトデータの並びはインテル系とは逆になっている為、16bit 以上でアクセスするスレーブボードでは注意が必要です。
(short a = 0x1234 の場合、メモリ上でインテル系は 34 12 ですが日立系は 12 34 となります)

尚　LF54F では、PC/104 BUS に対しての制御信号を CPLD で生成しております。
以下に、CPLD の生成する信号の条件を記載致しますので、LF54F にスレーブボードを接続される場合は、下記内容をご留意下さい。

１２－４－１）PC/104 BUS 制御信号出力条件

- nIORD
  SH2 が H'00800000～0080FFFF（8 ビット I/O 空間）または、H'00C00000～00C0FFFF（16 ビット I/O 空間）の読み出しを行った場合に、Low を出力します。
- nIOWR
  SH2 が H'00800000～0080FFFF（8 ビット I/O 空間）または、H'00C00000～00C0FFFF（16 ビット I/O 空間）の書き込みを行った場合に、Low を出力します。
- nSMEMRD
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。
- nSMEMWR
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- nSMEMRD
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。

- nSMEMWR
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- nMEMR
  SH2 が H'00D00000～00FFFFFF（16 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。
- nMEMW
  SH2 が H'00D00000～00FFFFFF（16 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- RESDRV
  基板上のリセット回路からの信号が Low または、SH2 のウォッチドッグタイムアウト端子が Low にアサートされた場合に、Hi を出力します。
- AEN
  SH2 の DACK0 または DACK1 が Low にアサートされた場合に、Hi を出力します。
- nSBHE
  SH2 が nCS3 を Low にアサートした場合に、Low を出力します。
- SYSCLK
  SH2 のクロック出力端子が接続されており、クロックを出力するためには、SH2 内蔵レジスタにて当該端子をクロック出力に設定する必要があります。（クロックは、SH2 の動作クロックです。）

１２－４－２）PC/104 BUS のタイミング

LF54 でのボード内デバイス及び PC/104　BUS のタイミング及びデータバス幅は SH2 内蔵レジスタの設定により異なり、（接続する PC/104 ボードによって設定は異なります）
CPLD は SH2 の信号をデコードしているのみで､タイミングコントロールは行っておりません。
SH2 の設定データに関しましては、弊社取り扱いの PC/104 ボードのみ、ご提供できます。

１２－４－３）PC/104 BUS スレーブボードのデコード

8 ビット I/O 空間と 16 ビット I/O 空間は、CPU からのアクセス領域は違いますが、PC/104 BUS から見た場合、A0～A15,nIORD,nIOWR は同一の信号が出力されてしまいますので、I/O スレーブボードを複数接続される場合、スレーブボードが 16 ビット、8 ビットに関わらず同一アドレスにデコードすることはできません。